



⑩ 日本国特許庁 (JP)  
⑪ 公開特許公報 (A)

⑫ 特許出願公開  
昭59-181648

⑬ Int. Cl.<sup>3</sup>  
H 01 L 21/88  
21.302

識別記号

庁内整理番号  
6810-5F  
8223-5F

⑭ 公開 昭和59年(1984)10月16日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑮ 半導体装置の製造方法

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑯ 特 願 昭58-56057

⑰ 出 願 人 株式会社東芝

⑱ 出 願 昭58(1983)3月31日

川崎市幸区堀川町72番地

⑲ 発 明 者 深沢雄二

⑳ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基体上に第1の絶縁膜を介して絶縁な設置部を有する配線を形成する工程と、全面に第2の絶縁膜、低溫熔融性被膜を順次形成する工程と、前記被膜を前記配線に対応する前記第2の絶縁膜の少なくとも調整に費存させる工程と、費存した被膜を溶融する工程とを具備することを特徴とする半導体装置の製造方法。

(2) 配線の材料が多結晶シリコンからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 低溫熔融性被膜としてリン・ケイ酸ガラス膜あるいはホウ素・リンケイ酸ガラス膜を用いることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

[発明の技術分野]

本発明は半導体装置の製造方法に係し、特に配線の断切れを防止するために表面を平坦化した半導体装置の製造方法に関する。

[発明の技術的背景とその問題点]

従来、表面を平坦化した半導体装置は、例えば第1図(a),(b)に示す如く製造されている。

まず、例えばSi基板上に熱酸化膜2を形成した後、この熱酸化膜2上の所定箇所が多結晶シリコンからなる配線3を形成する。つづいて、全面にCVD-SiO<sub>2</sub>膜4、ホウ素・リンケイ酸ガラス膜(BPSG膜)5を順次形成する(第1図(a)図示)。次いで、熱処理を施してBPSG膜5を溶融し、表面がなだらかなBPSG膜6を形成して半導体装置を製造する(第1図(b)図示)。

しかしながら、前述した製造方法によれば、第1図(b)に示す如く配線3上にCVD-SiO<sub>2</sub>膜4、BPSG膜6が存在するため、配線3とコンタクトをとる場合、コンタクト穴の深さ(c)とコンタクト径(d)の比(c/d)が、CVD-SiO<sub>2</sub>膜4だけしか用いない場合と比べて大きくなる。したがっ

て、第2図に示す如くコンタクトがとりにくくなる欠点があった。

また、他の半導体装置の製造方法としては、第3図(a)~(c)に示す方法が知られている。まず、常法によりSi基膜1上に熱酸化膜2を形成し、この熱酸化膜2上に多結晶シリコンからなる配線6, 6を形成する。つづいて、全面にCVD-SiO<sub>2</sub>膜7、BPSC膜8を順次形成した後、前記BPSC膜8上に該BPSC膜8とは逆の選択比を有したフォトリソスト膜9を形成して表面を平坦化する(第3図(a)図示)。次いで、反応性イオンエッチング(RIE)により、前記フォトリソスト膜9とBPSC膜8を所定深さまでエッチング除去する(第3図(b)図示)。更に、残存するフォトリソスト膜9を除去し、表面が平坦な半導体装置を製造する(第3図(c)図示)。しかしながら、こうした製造方法によれば、BPSC膜8とは逆の選択比を有するフォトリソスト膜9をエッチングすることが困難である。また、最終的な表面形状は、配線6, 6、CVD-SiO<sub>2</sub>膜7

及びBPSC膜8の夫々の厚み、配線6, 6間の距離、フォトリソスト膜9の種類に大きな影響を受けるため、実用性に欠ける。

#### (発明の目的)

本発明は上記事情に鑑みてなされたもので、表面を平坦化して配線の断切れを防止し得る半導体装置の製造方法を提供することを目的とするものである。

#### (発明の要旨)

本発明は、半導体基体上に第1の絶縁膜を介して急峻な設置部を有する配線を形成した後、全面に第2の絶縁膜、低温度融性被膜を順次形成し、しかる後前記被膜を前記配線に対応する前記第2の絶縁膜の少なくとも側壁に残存させ、更に残存した被膜を溶融することによって、表面を平坦化させ、配線の断切れを防止するものである。

#### (発明の実施例)

以下、本発明の一実施例を第4図(a)~(c)を参照して説明する。

まず、半導体基体としてのp型のSi基膜11上に厚さ約1000Åの熱酸化膜12を形成した後、この熱酸化膜12上にCVD法により厚さ約4000Åの多結晶シリコン層(図示せず)を形成し、パターンニングして配線13を形成した。つづいて、常圧CVDにより全面に厚さ約3000ÅのSiO<sub>2</sub>膜14、低温度融性被膜としての厚さ約8000ÅのBPSC膜15を順次形成した(第4図(a)図示)。なお、BPSC膜15中のボロン及びリンの濃度は、夫々約 $2 \times 10^{21} \text{ cm}^{-3}$ であった。次いで、CF<sub>3</sub>BrとCl<sub>2</sub>ガス系プラズマで、RIEにより前記BPSC膜15をSiO<sub>2</sub>膜14の表面が露出するまでエッチング除去した。この結果、前記配線13に対応するSiO<sub>2</sub>膜14の側壁にのみBPSC膜15が存在した(第4図(b)図示)。なお、この工程において、RIEに代ってイオンミリング等の斜方向エッチングを行なって側壁にBPSC膜を残存させてもよい。更に、約900℃、20分間熱処理を施して残存したBPSC膜15を溶融してなだらかなBPSC膜16を形成し、半導体装置

を製造する(第4図(c)図示)。

しかして、本発明によれば、熱酸化膜12上の配線13を含む全面にSiO<sub>2</sub>膜14、BPSC膜15を順次形成した後、RIEにより前記配線13に対応するSiO<sub>2</sub>膜14の側壁にのみBPSC膜15を残存させ、更に熱処理を施してなだらかなBPSC膜16を形成できるため、表面全体をなだらかにできる。したがって、BPSC膜16を含むSiO<sub>2</sub>膜14上に2層目の配線を形成した場合、前記配線13の設置部での断切れを防止できる。

また、第1図(b)図示の従来の半導体装置と比べ、配線13とのコンタクト領域にはSiO<sub>2</sub>膜14のみしか存在しないため、コンタクト穴の深さが従来よりも浅くなり、コンタクトがとりやすくなる。しかも、第4図(b)に示す如く、RIEにより配線13に対応するSiO<sub>2</sub>膜14の側壁にわずかなBPSC膜15を残存するだけであるため、低温かつ短時間でなだらかなBPSC膜16を形成でき、素子特性への悪影響を低減できる。

更に、第3図(a)~(c)の従来の製造方法の如く、

フットレジスト膜を用いることにより起するBPSC膜との過剰反応の問題等を回避できる。

なお、上記実施例では、1層目の配線の材料として多結晶シリコンを用いたが、これに限らず、例えばW、Mo等の高融点金属あるいはMoSi等を用いてもよい。

上記実施例では、低温溶融性被膜としてBPSC膜を用いたが、これに限らず、例えばリン・ケイ酸ガラス膜等の低温で溶解できるものも含まれてよい。

上記実施例では、BPSC膜を配線に対応するSiO<sub>2</sub>膜の側壁に残存させる場合について述べたが、これに限らず、例えば図5に示す如く、SiO<sub>2</sub>膜14の側壁にBPSC膜15を残存するとともに、その他の領域に厚さ1000Å程度の薄いBPSC膜17を残存する場合でも上記実施例とはほぼ同様な効果を期待できる。

上記実施例では、p型のSi基板に熱酸化膜を介して配線を形成した場合について述べたが、これに限らず、サファイア等の絶縁性基板の上

に半導体層上に熱酸化膜を介して配線を形成してもよい。

〔発明の効果〕

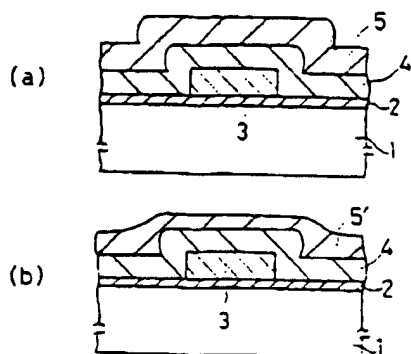
以上詳述した如く本発明によれば、配線の断切れを阻止し得る信頼性の高い半導体装置の製造方法を提供できるものである。

#### 4. 図面の簡単な説明

第1図(a)、(b)は従来の半導体装置の製造方法を工程順に示す断面図、第2図はコンタクトのとりやすさとコンタクト穴の深さ、コンタクト壁の比との関係を示す特性図、第3図(a)~(c)は従来の他の半導体装置の製造方法を工程順に示す断面図、第4図(a)~(c)は本発明の一実施例を示す半導体装置の製造方法を工程順に示す断面図、第5図は第4図(b)とは異なるBPSC膜の残存状態を説明するための断面図である。

11…p型のSi基板(半導体基板)、12…熱酸化膜、13…配線、14…SiO<sub>2</sub>膜、15、15'、16、17…BPSC膜(低温溶融性被膜)。

第 1 図



第 2 図



第 3 図

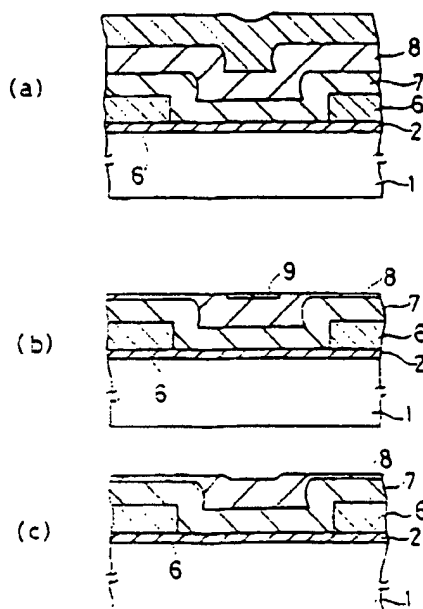
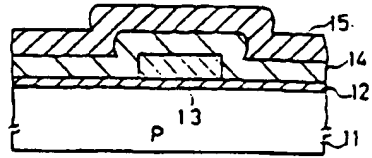
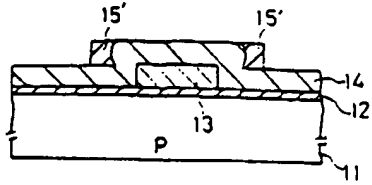


図 4

(a)



(b)



(c)

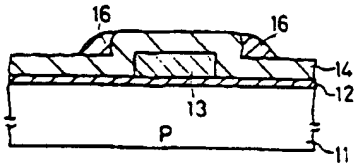


図 5

